

Sistemas y Aplicaciones
Informáticas

Tema 05. Microprocesadores.
Estructura. Tipos. Comunicación con
el Exterior.

1. ÁMBITO DE DOCENCIA.	3
2. MICROPROCESADORES.	3
2.1. ARQUITECTURA DE VON NEUMANN.	3
2.2. DESCRIPCIÓN DEL MICROPROCESADOR. ESTRUCTURA Y CARACTERÍSTICAS.	3
2.3. EVOLUCIÓN DE LOS MICROPROCESADORES.	5
3. TIPOS DE MICROPROCESADORES.	5
3.1. SEGÚN EL JUEGO DE INSTRUCCIONES.	5
3.2. SEGÚN EL TAMAÑO DE PALABRA.	6
4. COMUNICACIÓN CON EL EXTERIOR (BUSES).	6
4.1. DESCRIPCIÓN. MAESTROS Y ESCLAVOS. BRIDGES.	6
4.2. JERARQUÍA Y ARQUITECTURA DE BUSES.	7
4.3. CARACTERÍSTICAS DE LOS BUSES.	8
4.4. FUNCIONAMIENTO.	10

1. **Ámbito de docencia.**

- Sistemas informáticos monousuario y multiusuario (ASI 1).
- Sistemas informáticos multiusuario y en red (DAI 1).
- Instalación y mantenimiento de equipos y sistemas informáticos (ESI 1).

2. **Microprocesadores.**

2.1. **Arquitectura de Von Neumann.**

- La arquitectura de un ordenador es el conjunto de funcionalidades y características que ofrece al usuario, mientras que su estructura está formada por los componentes lógicos que llevan a cabo dichas funcionalidades. La tecnología de un ordenador es una versión concreta de la estructura que determina los componentes físicos que se van a utilizar y cómo se van a interconectar.
- La arquitectura de Von Neumann se caracteriza por lo siguiente:
 - * El ordenador dispone de una memoria principal en la que se almacenan simultáneamente instrucciones y datos sin una distinción explícita. Se puede acceder a la información contenida en la memoria especificando la dirección donde se encuentra almacenada.
 - * Las instrucciones están formadas por un código binario que indica una operación determinada, y los datos están representados por los operandos de la instrucción. El código de la instrucción define la cantidad y el modo de acceso a los operandos.
 - * Las instrucciones se ejecutan una tras otra según su posición en la memoria, aunque existe la posibilidad de romper el flujo secuencial mediante instrucciones de salto. Para ello se dispone de un registro que almacena la dirección de la siguiente instrucción a ejecutar.

2.2. **Descripción del microprocesador. Estructura y características.**

- El microprocesador es el componente físico que contiene los elementos funcionales encargados del control y de la ejecución de cada una de las operaciones que se efectúan dentro del ordenador con el fin de realizar el tratamiento automático de la información. Se trata de un chip que contiene en su interior circuitos integrados a gran escala, cuyo encapsulado impide su deterioro y permite el enlace con los conectores externos que lo acoplarán a su zócalo o a la placa base.
- Los componentes del microprocesador se estructuran de la siguiente manera:
 - * *Unidad central de proceso (CPU)*. Se encarga del control y de la ejecución de cada una de las operaciones que se efectúan dentro del ordenador. A su vez está formada por la unidad de control, la unidad aritmético-lógica y los registros internos de la CPU.
 - * *Memoria caché*. Es una memoria volátil que almacena la información de la memoria principal más frecuentemente utilizada por la CPU. La mayor parte de los microprocesadores actuales incorporan dos niveles de caché dentro del mismo chip: una cache L1 unida a la CPU, y una cache L2 entre la L1 y la memoria principal.
 - * *Coprocador matemático*. Es la parte del microprocesador especializada en cálculos de coma flotante. Empezó a incorporarse como un chip aparte, denominado 80387, desde el Intel 386, y fue incluido dentro del microprocesador a partir del Intel 486.
 - * *Bus local*. Se trata de un bus rápido y corto que se encarga de interconectar la CPU con la memoria caché del microprocesador y un controlador local de E/S.

- Las características que permiten diferenciar un microprocesador de otro son las siguientes:
 - * *Núcleo*. El núcleo incorporado nos permite comparar procesadores que se venden con el mismo nombre comercial. Actualmente existen microprocesadores con dos o más núcleos conectados internamente para emular un multiprocesador dentro del procesador.
 - * *Velocidad interna*. Indica el número de ciclos por segundo del reloj de la CPU. Suele expresarse en megahercios (MHz) o gigahercios (GHz). Está muy relacionada con el rendimiento para un mismo núcleo, pues a mayor frecuencia, mayor rendimiento. No permite comparar el rendimiento de CPUs con diferente microarquitectura.
 - * *Velocidad externa*. Indica la frecuencia de reloj con la que se comunican el microprocesador y la placa base a través del bus del sistema (*Front Side Bus*). La cifra por la que se multiplica la velocidad externa para obtener la velocidad interna se denomina multiplicador. En la actualidad, la frecuencia de reloj del FSB más habitual es 200 MHz. En el mejor caso, en cada ciclo de reloj se pueden transferir 4 datos, de ahí que se venda como FSB 800 MHz.
 - * *Tecnología de fabricación*. Es la mínima distancia entre dos elementos integrados en la pastilla de silicio. Cuanto menor es la distancia, más pequeños son los transistores y por lo tanto son más rápidos y disipan menos energía. La más habitual es la de 90 nm.
 - * *Número de transistores de la CPU*. Cuantos más transistores hay disponibles, más funcionalidad se puede implementar. Está relacionado con la tecnología de fabricación.
 - * *Tensión de alimentación*. Cuanto más pequeños son los transistores, menores son las tensiones de alimentación y menor consumo de energía por transistor.
 - * *Capacidad de ejecución multihilo*. Los procesadores tradicionales ejecutan un único hilo. En la actualidad se implementan procesadores que permiten ejecutar hilos adicionales aprovechando unidades hardware que no están siendo usadas por el primer hilo.
 - * *Ancho del bus de datos*. Se refiere al tamaño de los registros de la CPU en bits, y coincide con el tamaño de los buses internos de la CPU. Hasta hace poco, la mayor parte de las CPUs de PC eran de 32 bits, compatibles IA-32 (x86). La arquitectura de 64 bits que se ha impuesto es la AMD64, totalmente compatible con la IA-32.
 - * *Ancho del bus de direcciones*. Se refiere al número de líneas del bus de direcciones. Indica la máxima cantidad de memoria física que se puede usar.
 - * *Tamaño de las cachés*. En general, una mayor capacidad de cache es beneficiosa para el rendimiento. La caché L1 oscila entre 32 KBytes y 128 Kbytes, y se divide en caché de código y caché de datos para permitir accesos simultáneos a ambos. La caché L2 oscila entre los 512 KBytes y los 2 Mbytes, y es unificada para código y datos.
 - * *Encapsulado*. El empleo de zócalos de conexión permite conectar diferentes CPUs a la placa base, o cambiar fácilmente una CPU estropeada. Los más empleados actualmente son del tipo PGA (con pines) y LGA (sin pines), en ambos casos de tipo *Zero Insertion Force (ZIF)*.
 - * *Juegos de instrucciones avanzadas*. Se añaden para mejorar el rendimiento en aplicaciones de procesamiento de imágenes y sonido. Por ejemplo las MMX y las SSE por parte de Intel y las 3DNow! por parte de AMD. Para aprovechar el potencial de estas nuevas instrucciones es necesario que los programas hayan sido compilados empleando las mismas.

2.3. Evolución de los microprocesadores.

- **1974.** *Intel 8080.* Fue el cerebro del primer PC (2 MHz).
- **1978.** *Intel 8086-8088.* Fue el cerebro del IBM-PC/XT (8 MHz).
- **1982.** *Intel 286.* Aumentó la capacidad de direccionamiento a 24 bits (16 MHz).
- **1985.** *Intel 386.* Incluía el soporte de multitarea. Introdujo un nuevo conjunto de instrucciones y aumentó la capacidad de direccionamiento a 32 bits (40 MHz).
- **1989.** *Intel 486.* Incluía el coprocesador matemático integrado en la CPU (100 MHz).
- **1993.** *Intel Pentium.* Es un 486 mejorado con nuevas instrucciones MMX (166 MHz).
- **1995.** *Intel Pentium Pro.* Introdujo la nueva arquitectura P6 con caché optimizada compatible con x86. Estaba indicado para servidores, CAD y aplicaciones científicas (266 MHz).
- **1996.** *AMD K5/K6.* Diseñado a partir del Pentium, el K5 tenía el doble de vías de instrucciones. La serie K6 era una mejora de la serie K5.
- **1997.** *Intel Pentium II.* Realizó mejoras sobre el Pentium, mejorando el rendimiento (450 MHz).
- **1998.** *Intel Pentium II Xeon.* Se diseñó para aplicaciones empresariales y procesamiento a alta velocidad. Podía combinar hasta ocho procesadores simultáneos (450 MHz).
- **1999.** *AMD K7/Athlon.* Primer procesador de AMD no inspirado en Intel.
- **1999.** *Intel Celeron.* Es un procesador de bajo coste sin caché L2.
- **1999.** *Intel Pentium III.* Realizó mejoras sobre el Pentium II. Utilizaba la tecnología de 0,25 micras e introdujo un nuevo conjunto de instrucciones Internet streaming SIMD.
- **2000.** *AMD Duron.* Versión de bajo coste del Athlon con mejor rendimiento que el Celeron.
- **2000.** *Intel Pentium 4.* Introdujo la nueva arquitectura NetBurst diseñada para funcionar a grandes frecuencias de reloj. Utilizaba la tecnología de 0,18 – 0,13 micras.
- **2001.** *Intel Itanium.* Primer procesador de 64 bits de Intel, indicado para servidores.
- **2001.** *AMD Athlon64.* Primer procesador de 64 bits de AMD.
- **2003.** *Intel Pentium M.* Diseñado para portátiles.
- **2004.** *Intel Centrino.* Es un Pentium M con un nuevo chipset y conexión a red.

3. Tipos de microprocesadores.

3.1. Según el juego de instrucciones.

- **CISC (Complex Instruction Set Computing).** Se caracteriza por lo siguiente:
 - * La CU es de lógica almacenada, y utiliza un número elevado de órdenes complejas que se dividen a su vez en otras más sencillas, de modo que una instrucción máquina se descompone en múltiples microinstrucciones. Sólo se puede ejecutar una instrucción cada vez y se necesitan varios ciclos de reloj para ejecutar una instrucción máquina completa.
 - * El tamaño de las instrucciones es variable hasta los 64 bits, por lo cual el procesador debe realizar constantes accesos a memoria. El número de registros internos es reducido.
- **RISC (Reduced Instructions Set Computing).** Se caracteriza por lo siguiente:
 - * La CU es de lógica cableada, y utiliza un número reducido de órdenes simples, de modo que se necesitan más instrucciones para ejecutar una tarea. Al tratarse de instrucciones elementales, cada una se ejecuta en un ciclo de reloj. Esto permite la segmentación o

pipeline, por la cual las instrucciones se recuperan en grupos. La CU examina cada grupo para comprobar si contiene instrucciones que pueden ejecutarse a la vez.

- * Todas las instrucciones tienen la misma longitud, normalmente 32 bits, y el número de registros internos es elevado, como mínimo 32. Por estos motivos el número de accesos a memoria del procesador es más reducido. Los modos de direccionamiento son sencillos, aunque siempre está presente el direccionamiento inmediato y el relativo a registro.

3.2. Según el tamaño de palabra.

- **Microprocesadores de 8 bits.** Por ejemplo el Intel 8088.
- **Microprocesadores de 16 bits.** Por ejemplo los Intel 8086, 80286 y 80386SX.
- **Microprocesadores de 32 bits.** Por ejemplo los Intel 80386DX, 80486SX y 80486DX.
- **Microprocesadores de 64 bits.** Por ejemplo los Intel Pentium y todos los AMD.

Procesadores	Bus de direcciones (bits)	Bus de datos (bits)
8086/80186	20	16
8088/80188	20	8
80286	24	16
80386 SX	32	16
80386 DX 80486 SX 80486 DX	32	32
PENTIUM PENTIUM II/III/IV AMD K5/K6/K7 AMD ATHLON AMD THUNDERBIRD AMD ATHLON XP/MP	32	64
INTEL ITANIUM AMD ATHLON64	32/64	64/128

4. Comunicación con el exterior (buses).

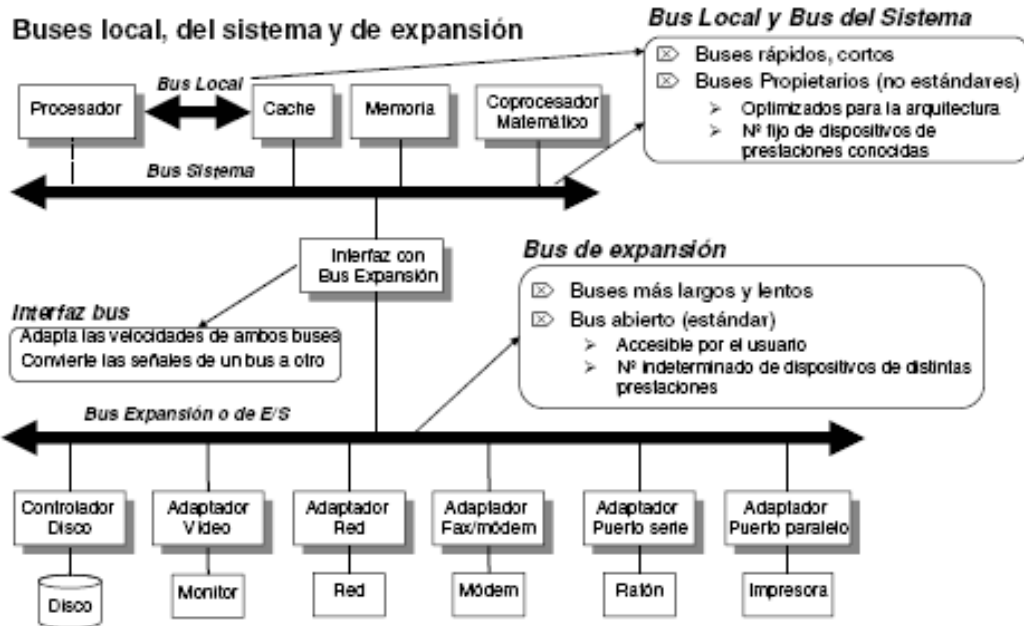
4.1. Descripción. Maestros y esclavos. Bridges.

- Un bus es un mecanismo de interconexión entre las distintas unidades funcionales de las que se compone un dispositivo digital. Se caracteriza porque es un medio de transmisión compartido.
- Habitualmente un bus está compuesto de varios hilos físicos y cada hilo es capaz de transmitir un bit. Las prestaciones del bus vienen en gran medida determinadas por el ancho del bus y la frecuencia de reloj con la que se comunican el microprocesador y la placa base a través del *Front Side Bus*. Esta frecuencia se mide en MHz y de ella depende el rendimiento global del equipo.
- En las transferencias de información que se realizan en los buses, hay como mínimo dos agentes involucrados: el que origina la transferencia, denominado maestro y el que responde a la misma, llamado esclavo. No todos los elementos conectados a un bus pueden actuar como maestros; aquellos elementos que tienen esta capacidad se denominan maestros potenciales.

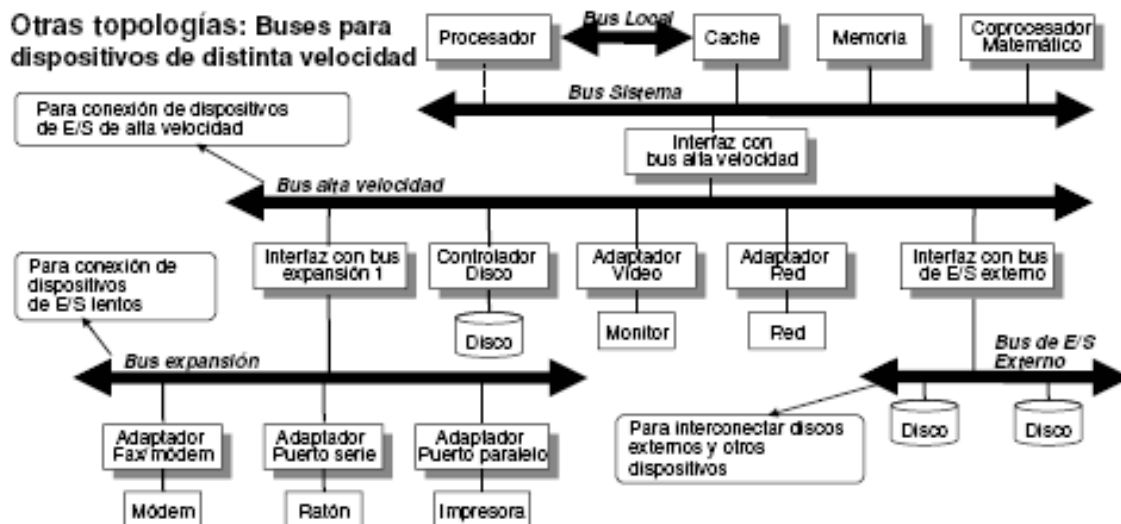
- Los ordenadores actuales utilizan varios tipos de buses con diferentes anchos de banda y/o velocidades de reloj que se interconectan entre sí a través de interfaces denominadas bridges. Estos interfaces actúan como buffers de almacenamiento intermedio entre buses para evitar la pérdida de datos, y se encargan de realizar la conversión de las líneas de un bus a otro.
- Los buses pueden ser en paralelo (SCSI o IDE) o en serie (COM o USB). Cada bus tiene sus propias características físicas y eléctricas (ancho de banda, frecuencia de reloj, anchura de datos...) que los hacen incompatibles entre sí. Se necesitan interfaces adaptadores para cada tipo de bus. Cada dispositivo se conecta mediante su controlador a un solo tipo de bus.

4.2. Jerarquía y arquitectura de buses.

- Los buses están estructurados jerárquicamente de la siguiente manera:
 - * *Bus local.* Es el bus interno al microprocesador que interconecta la CPU con la memoria caché. Se trata de un bus rápido y corto que aísla a la CPU del tráfico de E/S, permitiendo transferir información entre la memoria y la E/S sin interrumpir la actividad de la CPU.
 - * *Bus del sistema.* Es el bus situado en la placa base que permite conectar la caché de la CPU con la memoria principal y con la interfaz al bus de expansión o al bus de alta velocidad. Se trata de un bus no estándar optimizado para cada arquitectura, dividido normalmente en buses lógicos que físicamente pueden estar multiplexados, y que son los siguientes:
 - **Bus de direcciones.** Transporta las direcciones de memoria principal y de E/S.
 - **Bus de datos.** Transporta los datos que circulan entre CPU, memoria principal y E/S.
 - **Bus de control.** Transporta las señales de la CPU que sincronizan las operaciones.
 - * *Bus de expansión.* Es el bus situado en la placa base que permite conectar las unidades de E/S con el bus del sistema a través de la interfaz. Se trata de un bus estándar más lento y largo que permite reducir el tráfico en el bus del sistema. Es accesible por el usuario y se le puede conectar un número indeterminado de dispositivos de distintas prestaciones, como el adaptador de vídeo, el adaptador de red, el controlador de disco, etc. Ejemplos de buses de expansión son el bus ISA (1984), el bus EISA (1988) y el bus VESA Local bus (1993).
 - * *Bus de alta velocidad.* Es el bus que reemplaza al bus de expansión en las arquitecturas actuales, permitiendo conectar dispositivos de alta velocidad con el bus del sistema a través de la interfaz. Los dispositivos lentos como el adaptador de módem y los adaptadores de los puertos serie y paralelo se siguen conectando al bus de expansión, que a su vez está conectado al bus de alta velocidad a través de otra interfaz. Ejemplos de buses de alta velocidad son el bus PCI (1992) y el bus especializado en adaptadores gráficos AGP.
- Atendiendo a esta jerarquía existen varias posibles arquitecturas de buses:
 - * *Arquitectura con bus único.* Presenta el problema de que las unidades de E/S son más lentas que la CPU y la memoria principal, y además tienen velocidades de trabajo distintas entre sí. Esta arquitectura es insuficiente ya que cada vez hay más dispositivos conectados al bus y existe mayor demanda de velocidad de transmisión en la comunicación entre ellos.
 - * *Arquitectura con bus de expansión.* Consta de un bus local, un bus del sistema y un bus de expansión. Resuelve las deficiencias del bus único, puesto que la descentralización en distintos buses de diferentes características permite un uso más racional de los buses.



* *Arquitectura con bus de alta velocidad.* Este bus se hace cargo de las transferencias de más alta velocidad dejando las transferencias más lentas al bus de expansión.



4.3. Características de los buses.

- **Distribución de la información en el bus.** Puede realizarse de dos maneras:
 - * *Conexión multiplexada.* Se produce cuando el tipo de información no es siempre el mismo. Las mismas líneas físicas pueden llevar unas veces datos y otras veces direcciones.
 - * *Conexión no multiplexada.* Se produce cuando se dispone de buses diferentes para direcciones y datos, o bien dentro del propio bus hay líneas dedicadas a direcciones y datos.
- **Ancho del bus.** Existen dos puntos de vista respecto al ancho del bus:
 - * Cuanto mayor es el bus de direcciones, mayor es el número de direcciones a las que puede acceder el procesador en la memoria principal y en los dispositivos de E/S.
 - * Cuanto mayor es el bus de datos, mayor es la cantidad de datos que pueden transferirse en una sola operación. Esto aumenta la velocidad porque disminuyen los accesos a memoria, y porque el código de instrucción puede ser mayor, permitiendo operaciones más complejas.

- **Tipo de transferencia.** Según el tipo de operación, pueden ser transferencias de lectura o de escritura. Si el bus estuviera multiplexado, entonces habría que especificar primero la dirección y luego el dato. Según el número de operaciones a efectuar puede ser:
 - * *Transferencia simple.* Se trata de la lectura o escritura de un solo dato.
 - * *Transferencia combinada.* Puede ser lectura para modificación, o lectura-escritura-lectura.
 - * *Transferencia por bloques.* Se trata de la lectura o escritura secuencial de varios datos.
- **Temporización.** Consiste en las diferentes estrategias de sincronismo entre dispositivos para establecer las transferencias de información:
 - * *Temporización síncrona.* Se produce cuando todas las transferencias ocurren sincronizadas por los flancos de la señal de reloj que llega a todos los dispositivos, ya sean maestros o esclavos. Es simple de implementar, no requiere circuitería de control adicional y es barato. Sin embargo siempre funciona a la velocidad del dispositivo más lento, por lo cual este tipo de temporización está indicada para interconectar dispositivos comparables.
 - * *Temporización asíncrona.* Se basa en protocolos de interbloqueo que no precisan una señal de reloj. Un evento origina el siguiente, y así sucesivamente. Es más difícil de implementar pero permite adaptar las velocidades de transmisión de las diferentes tecnologías.
- **Tipo de ciclo.** Existen dos tipos de buses según el tipo de ciclo que utilizan:
 - * *Buses de ciclo completo.* El bus está ocupado hasta que finaliza completamente la transferencia de datos. El bus debe esperar a los dispositivos durante los ciclos de latencia.
 - * *Buses de ciclo partido.* Estos buses permiten que otros dispositivos hagan uso del bus durante los ciclos de latencia. Esto hace que se aproveche mejor el ancho de banda.
- **Arbitraje.** Es la política de asignación del bus en caso de que varios dispositivos compitan por su uso. Hay dos tipos generales de arbitraje:
 - * *Arbitraje centralizado.* Es realizado por un módulo central. El protocolo es el siguiente:
 - Un maestro que desea usar el bus activa la señal común de petición de bus si observa que el bus no está ocupado.
 - El árbitro activa la señal de bus ocupado y concede el bus al maestro 1.
 - Si éste no lo necesita se la pasa al maestro 2, y así sucesivamente hasta que llega al que solicitó el bus.
 - Al terminarse se desactiva esta señal de petición de bus, lo que hace que el arbitro desactive la señal de concesión y la de bus ocupado.

Se trata de un sistema sencillo que permite añadir nuevos maestros añadiéndolos a la cadena. Sin embargo la prioridad es fija, la propagación de señales es lenta, y si un maestro falla los de menor prioridad a este no tendrían acceso al bus.

Una alternativa posible es que el módulo central haga el arbitraje activando señales de control directas sobre los diferentes maestros con líneas dedicadas de petición /concesión de bus a cada módulo maestro. Esta técnica es más flexible en cuanto a la política de asignación del bus y emplea menor tiempo en el arbitraje, sin embargo requiere el uso de más líneas y hay una mayor limitación en el número de dispositivos que se pueden conectar.

- * *Arbitraje distribuido.* Cada dispositivo tiene un árbitro y un número de arbitraje único. Siempre tiene prioridad aquel con un número de arbitraje más alto:
 - Todos los maestros que quieren el bus envían su número de arbitraje a las líneas comunes de petición y concesión del bus de arbitraje a través de sus respectivos árbitros. La señal de cada línea es la función OR de todas las señales de los maestros.
 - Si un módulo detecta a “1” una línea de mayor peso que la del mayor de sus “1”, quiere decir que hay otro dispositivo más prioritario que requiere el uso del bus. El módulo retira entonces todos los “1” menos significativos que el detectado.
De este modo, el módulo con el número de arbitraje más alto encontrará su número en las líneas de petición y concesión, lo que indica que cogerá el bus cuando finalice la transacción que esté en ese momento en curso.
- Por ejemplo, PCI tiene las siguientes características:
 - * 32 ó 64 líneas para datos, también multiplexadas para direcciones.
 - * Temporización síncrona. Permite la conexión de varios maestros.
 - * El arbitraje es centralizado y síncrono donde cada maestro tiene una línea de Grant y otra de Request, con estrategias FIFO o Round-Robin (Cíclico).
 - * La transferencia de datos en PCI es una transacción única, es decir, no emplea ciclo partido. Consta de una fase de direccionamiento y una fase o más de datos.
 - * Todos los eventos se sincronizan con la señal de bajada de reloj (mitad de ciclo de reloj). Los dispositivos interpretan las líneas del bus en los flancos de subida de cada ciclo de bus.

4.4. Funcionamiento.

- La operación básica del bus se denomina ciclo de bus. Un ciclo permite realizar una transferencia elemental de un dato entre dos dispositivos.
- En general, los pasos que componen un ciclo de bus son los siguientes:
 - * *Fase de direccionamiento:*
 - **Petición del bus.** El bus es un recurso compartido por varios elementos del sistema, por lo que resulta necesario obtener el derecho a hacer uso del bus. Los dispositivos que hacen esta petición son maestros potenciales del bus.
 - **Arbitraje.** Mediante una política definida, se decide entre los maestros potenciales que han realizado la petición cuál será el que realice la transferencia.
 - **Direccionamiento.** Se avisa al dispositivo esclavo implicado en la transferencia.
 - * *Fase de transferencia:*
 - Transferencia del dato. El dato pasa a través del bus del dispositivo origen al destino.
 - Detección de errores y notificación de los mismos.
 - Finalización de la transferencia y liberación del bus.